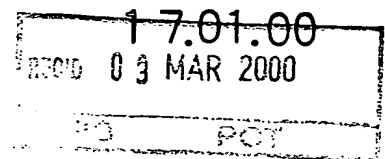


4
日 本 国 特 許 庁PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 1月19日

出 願 番 号
Application Number:

平成11年特許願第010038号

出 願 人
Applicant(s):

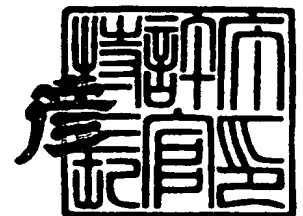
シャープ株式会社

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近 藤 隆



出証番号 出証特2000-3006993

【書類名】 特許願

【整理番号】 98-03691

【提出日】 平成11年 1月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明の名称】 伝送方法及び伝送装置

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 中野 大介

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 市川 雄二

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 西村 崇

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷲見 一行

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100103296

【弁理士】

【氏名又は名称】 小池 隆彌

【電話番号】 06-6621-1221

【連絡先】 電話 043-299-8466 知的財産権本部 東京
知的財産権部

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 伝送方法及び伝送装置

【特許請求の範囲】

【請求項 1】 送信データの中にクロック情報を重畳する符号化を施して伝送する伝送方法であって、

データコードを伝送する場合は該符号化を行って固定ビット長からなるキャラクタ単位で伝送し、

制御コードを伝送する場合は該ビット長より短い長さからなるキャラクタ単位で伝送することを特徴とする伝送方法。

【請求項 2】 通信の方向を時分割で切り替えることにより半二重伝送路上で双方向通信を実現する伝送方法であり、

かつ、送信データの中にクロック情報を重畳する符号化を施して伝送する伝送方法であって、

データコードを伝送する場合は該符号化を行って固定ビット長からなるキャラクタ単位で伝送し、

制御コードを伝送する場合は該ビット長より短い長さからなるキャラクタ単位で伝送することを特徴とする伝送方法。

【請求項 3】 請求項 1 または請求項 2 の伝送方法を用い、特に上記固定ビット長が制御コードの伝送に用いるビット長の整数倍であるような伝送方法に用いられる伝送装置であって、

上記制御コードの伝送に用いるビット数でキャラクタ同期を行うキャラクタ同期手段と、

データと制御信号を判別する判別手段と、

該判定手段の判別結果に基づいて、制御コードはキャラクタ同期後そのまま制御部に供給し、データコードは、同期を取ったキャラクタを、データコードの 1 キャラクタのビット数に再びまとめなおすキャラクタ再構築手段を介して復号手段に供給する手段を備えたことを特徴とする伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高速シリアル通信に用いられる伝送方法及び伝送装置に関する。

【0002】

【従来の技術】

(IEEE1394-1995, IEEE1394. b)

高速シリアルバスIEEE1394-1995は、コンピュータやデジタルカメラなどの情報機器間で映像など大量のデータを高速に転送するために開発された世界標準規格である。この規格では、電気の信号線4本(2対のツイストペア線)を用い、双方向のデータ伝送を実現している。

【0003】

また、IEEE1394. b会議において、光ファイバ2本を用いた伝送方法について議論がなされている。これらの方法はいずれも、全二重方式で制御信号を交換して送信権の調停(アービトレーション)を行い、半二重方式でデータ転送を行う方式を採用している。

【0004】

(ピンポン伝送方式)

IEEE1394の信号を光ファイバ1本を用いて伝送する方法も開発が進められている。光ファイバを1本だけ用いる方法では、同時に送受信を行う全二重方式の実現はコストがかかり、送信を交互に行う半二重方式が望ましい。

【0005】

そのような方法の1つとして、ピンポン伝送方式(正式名称:時分割方向制御伝送方式)が挙げられる。この方式は、一定のピンポン周期で、決まったデータ量の送信と受信を行うことを繰り返す方法である。

【0006】

(バースト長可変)

IEEE1394の場合、データ転送の他に制御信号の交換を行うので、データ転送期間については同一方向にデータを転送し続け、それ以外の期間は最新の

制御信号を互いに早く交換するために、出来るだけ転送を短くすることが望ましい。このため、1回の伝送量が短い固定長・長い可変長という具合に切りかえることが出来るようなピンポン伝送の方法が考案され、用いられている。この方法を、ここでは、バースト長可変のピンポン伝送方式と呼ぶ。

【0007】

(符号化の必要性)

ところで、光ファイバを用いた伝送では、一方向につき1種類の信号のみを送るため、クロックを送らずにコードのみを送信し、受信コードからクロックを再生する必要がある。ところが、送信コードに0または1が長時間連続して続くと、受信側でクロックが再生できなくなることがある。このため、送信コードの上にクロックを重畳した符号化を行う。

【0008】

(符号化方式)

送信コードにクロックを重畳する技術としては、4B5Bと呼ばれる方法や8B10Bと呼ばれる方法などが知られており、1394. bでは、8B10Bを用いている。この方法では、送信データを、各8ビット毎に10ビットのコードに符号化する。受信時には、同期パターンと呼ばれる特定ビット列検出後、10ビット毎に復号を行う。この方法を、上記のバースト長可変のピンポン伝送方式に適用する場合、固定長のパケットのヘッダを除いたコード部分の長さは、最短コード長である10ビットとなる。

【0009】

(切り替えの具体的な方法)

上記のバースト長可変のピンポン伝送方式において、固定長のパケットか可変長のパケットかの判別は、ヘッダ部分に特殊なビットを持つなどの方法で行うのが一般的だが、特に、この例のように、固定長で送られるのは制御コードのみでデータコードは常に可変長で送られるとき（固定長のパケットを用いて送るコードの種類がいくつかに限られているとき）については、データ（すなわち、可変長パケット）送信のための制御コードを割り当てることによって判別する方法もある。この場合、パケットは図5に示す構成になる。

【0010】

データパケットを送る時には、ヘッダの直後、データの前に、「データ開始」コードを挿入し、データの末尾に「データ終了」コードを付加する。受信側では、「データ開始」コードを受け取ると、続けてデータが来ることを予期し、そのための復号などを行う。データ受信中に「データ終了」コードを受信すると、データパケットの終了を認知し、通常の制御パケットの受信方法に切り替える。

つまり、先頭の10ビットがデータ開始コードのときのみ、そのパケットは可変長のパケットとなる。

【0011】

(IEEE1394)

特にIEEE1394の場合、データの前にはDATA_PREFIX信号が、後にはDATA_PREFIXまたはDATA_END信号が付加される仕様になっているので、この方法と相性がよい。

【0012】

(従来例のブロック図とパケット構成)

図5のパケット構成で、8B10B方式によって符号化したデータと10ビットの制御コードを伝送する、ピンポン伝送の例を示す。

図4は上で述べた、従来のピンポン伝送を行う装置のブロック図である。

【0013】

(クロック)

この装置は、シリアルなデータで扱うための速いクロック (clk250) と、10ビットパラレルのデータを扱うための、周期が10倍のクロック (clk25) の2つの内部クロックを持つ。

【0014】

(光ファイバー)

401は、光ファイバー1本からなる伝送路で、相手側伝送装置に接続されている。

【0015】

(光ファイバー・インターフェース)

4 0 2 は伝送路 4 0 1 と伝送装置のインターフェースで、相手側装置が送信したビット列を伝送路 4 0 1 上から読み取って伝送装置内部のビット同期回路 4 0 3 に送るレシーバと、装置内部の平行シリアル変換回路 4 0 7 の出力であるビット列を伝送路 4 0 1 上にドライブするドライバを持つ。

【 0 0 1 6 】

(ビット同期)

4 0 3 はビット同期回路 (クロック再生回路とも呼ばれる) である。

相手側機器から光ファイバー上を通ってきたビット列は必ずしも機器内部のクロックに同期しているとは限らないので、ビット同期の必要がある。ここでは、4 0 2 から送られた信号を受け取り、内部の速いクロック (c l k 2 5 0) に同期させて 4 0 4 に送る。

【 0 0 1 7 】

(キャラクタ同期 / 1 0 ビット)

4 0 4 はキャラクタ同期回路である。この例の場合、コードは 1 0 ビットで意味を持つ。したがって、機器で制御コードの判別やデータの復号を行う時には、ビット列ではなく、1 0 ビットを単位とするキャラクタ単位で扱う必要がある。

【 0 0 1 8 】

4 0 3 でビット同期されたビット列を読み取って、その中からヘッダ (同期パターン) を探す。ヘッダを発見したら、それに続くビット列を 1 0 ビットずつにまとめて、内部の周期 1 0 倍のクロック (c l k 2 5) に同期させ、4 0 5 と 4 0 8 に送る。

【 0 0 1 9 】

(制御部)

4 0 5 は、伝送装置と、必要に応じて機器内部を制御する部分である。

4 0 4 でまとめられた 1 0 ビットの制御コードを判別し、送信する制御コードをパケット生成回路 4 0 7 に知らせることが出来、インターフェース 4 1 1 を通して、機器内部の状態を知り、また逆に、機器内部に伝送装置の状態や受信した制御コードの内容を知らせることが出来る。

【0020】

(制御コード判別)

まず、受信時の制御部の働きを説明する。

404から受け取ったコードを見て、どの制御コードか判断し、この判断にしたがって、送信制御コードの生成、送信タイミングの制御、機器内部に対しての制御を行う。また、データパケットを受信中か制御パケットを受信中かの判断もここで行う。

【0021】

(送信制御)

次に、送信時の制御部の働きを説明する。

受信したコードと内部の状態などから、送信するパケットの内容と送信タイミングを決める。そのためには、パケット生成回路に

- 1) 送信する制御コード、
 - 2) いま、送信して良いかどうか(送信許可信号)
- を知らせる手段を持つ。

【0022】

(パケット生成)

406は送信パケットを生成する回路であり、ここでは制御部405から受け取った信号にしたがって、相手機器に送るべきコードにヘッダやデータ終了コードなどを付加して、図4のパケットの形にする。

【0023】

(パラレル・シリアル変換)

406で生成された送信コードは10ビットからなるキャラクタ単位で送られてくるので、パラレル・シリアル変換回路407でビット列にして、光ファイバーインターフェースに渡す。

【0024】

(デコーダ)

408は8B10B符号化の、復号を行う回路であり、ここでは受信したデータコードから、元データに復元して、機器内部に渡す。

【0025】

(エンコーダ)

409は8B10B符号化を行う回路である。

【0026】

機器内部から入力された8ビットの元データにクロック情報を重畳した符号化を行い、10ビットのコードとして出力する。

【0027】

(FIFO)

機器内部からのデータが、送信可能なタイミングに合わせて出てくるとは限らないので、FIFO410を入れる必要がある。逆にいえば、制御部などで機器内部からのデータのタイミングを制御しているなら、このFIFOはかならずしも必要ではない。

【0028】

(タイミング図の説明)

上記装置において、制御コードパケットを受信してから制御コードパケット（またはデータパケット）を送信するまでの動作を説明する。

図6は、上記装置によるピンポン伝送方法で、制御パケットを受け取ってから、制御パケットかデータパケットを送信するまでのタイミングの図である。

【0029】

相手側機器が伝送路401に制御パケットを送信したとする。

【0030】

(I/F)

受信側の機器は、インターフェース402が伝送路401上のビット列を読み取り、ビット同期回路403に送る。

【0031】

(ビット同期)

403でビット同期されたビット列は、内部クロックに同期したビット列601として、キャラクタ同期回路404に送られる。

【0032】

(キャラクタ同期)

ビット列601はキャラクタ同期回路404に入力される。404ではヘッダを取り除き、ヘッダ以降を(すなわち制御コードを)内部のクロックに同期した10ビットずつ並列のコード602に直して出力する。

【0033】

(制御部)

コード602は、制御部405と、デコーダ408に入力される。受信した制御コードが[データ開始]コードではなかったとして説明を続ける。

【0034】

受信した制御コードが[データ開始]以外のときは、その後にコードが続いていることはないので、受信は終了して送信をはじめるために、即座にパケット生成回路406に送信許可を与える信号603を出す。同時に、受け取った制御コードによって、必要なら機器内部やその他の回路にも、何らかの制御を行う。

【0035】

その後、送信する制御コード604を生成し、次のクロックの立ちあがりで406へ送る。

制御パケットではなく、データパケットが送りたいときは、[データ開始]コードを生成する。

【0036】

(パケット生成)

パケット生成回路では、制御部からの送信許可信号603を受信すると、即座にヘッダを生成して出力する。

次のクロックで制御部から送信制御コードが送られるので、ヘッダの直後に付加する。このときのパケットは605のようになる。

もし、送信制御コードが、[データ開始]コードであるときは、さらに続けて、FIFOからデータを読み込んで出力し、FIFOが空になったら[データ終了]コードを付加する。このときは、パケットは606のようになる。

【0037】

【発明が解決しようとする課題】

実際には、制御コードに含まれる情報というのは、制御コードの種類のみなので、制御コードの種類より多くのコードを割り当てる必要はなく、それに必要なビット数は、10ビットよりも少ないビット数で十分である。また、たかだか10ビット程度の送受信中にクロック情報を失う危険はないので、上記の8B10Bや4B5Bのようなクロック情報を重畳した符号化を行う必要はない。

【0038】

しかしながら、上記の方法においては、制御コードに上記最短コード長である10ビット長のものを使用しており、送受信や制御コードの処理において時間無駄が生じていた。

【0039】

本発明は、この課題を解決するために創案されたもので、この時間無駄を解消してピンポンの周期を短縮させ、より速い制御信号の交換を実現することを目的とする。

【0040】

【課題を解決するための手段】

(制御コード長を減らす)

具体的には、請求項1にあるように、制御コードを伝送する場合は、データ符号化の際のキャラクタのビット長より短い長さからなるキャラクタ単位で伝送する伝送方法を用いる。従来例では、制御コードの判定に同期パターン後10ビットを受信する必要があったが、これにより、短いビット数を受信した後制御コードを判定することが可能になる。

【0041】

この方法は、請求項2にあるように半二重方式に適用すると、従来の技術で説明したピンポン周期を短くすることができ、より効果的である。

【0042】

また、請求項3にあるように、例えば、データキャラクタが10ビット、制御コードが5ビットといった具合に、データキャラクタのビット長が制御コードの

ビット長の整数倍であるような伝送方法を実装する場合、

制御コードのビット数でキャラクタ同期を行うキャラクタ同期手段と、

データと制御信号を判別する判別手段と、該判定手段の判別結果に基いて、

(1) 制御コードはキャラクタ同期後そのまま制御部に供給し、

(2) データコードは、同期を取ったキャラクタを、データコードの1キャラクタのビット数に再びまとめなおす、キャラクタ再構築手段を介して復号手段に供給する手段を備えることで、簡単な構成で請求項1または請求項2の伝送方法を実現することができる。

【0043】

(クロック周波数の高速化によるメリット)

制御コードのビット数を減らしたことにより、キャラクタ同期にかかる時間や、パケットの送信にかかる時間を減らすことができる。更に、制御コードのキャラクタ同期や判定回路はデータキャラクタを処理する回路に比べ高速のクロックで動作するため、制御コードの判別や、次に送るべき制御コードの選定など、制御部の処理にかかる時間を短縮することでき、ピンポンの周期を短くでき、より速い制御信号の交換をすることが出来る。

【0044】

【発明の実施の形態】

本発明の実施の形態を以下に示す。

この実施の形態では、符号化方法には8B10Bを用い、制御コードは5ビットの場合で、ヘッダは10ビットであるとする。(ヘッダは5ビットで充分だが、従来の方法と比べやすいように、従来の方法での最短ヘッダ長である10ビットにしておく。もし5ビットにすれば、当然その分余計に、反応遅延を減らすことが出来る。)

(パケット)

このときの、制御パケット、データパケットの構成を、図2に示す。データパケットには、ヘッダの直後、データ部分の先頭に「データ開始」コード、パケットの最後に「データ終了」コードが付加されているのは従来の場合(図5)とおなじであるが、制御コードが10ビットから5ビットになっている。

「データ開始」コードと「データ終了」コードは、10ビットで送信されるデータコードの前半5ビットとも後半5ビットとも、重複しないコードをあてなければならない。

【0045】

(ブロック図)

図1は、本発明の伝送装置のブロック図である。図4と同じところは説明を割愛する。

【0046】

(クロック)

この装置は、シリアルなデータで扱うための速いクロック (clk250) と、5ビットパラレルのデータを扱うための、周期が5倍のクロック (clk50)、10ビットパラレルのデータを扱うための、周期が10倍のクロック (clk25) の、3つの内部クロックを持つ。

【0047】

(光ファイバー)

101は、光ファイバー1本からなる伝送路である。

【0048】

(光ファイバー・インターフェース)

102は伝送路101と伝送装置のインターフェースである。

【0049】

(ビット同期)

103はビット同期回路である。

【0050】

(キャラクタ同期／5ビット)

104はキャラクタ同期回路である。この実施の形態の場合、制御コードは5ビットなので、5ビットずつ内部の、周期5倍のクロック (clk50) に同期させて、105と108に送る。

【0051】

(制御部)

1 0 5 は、伝送装置と、必要に応じて機器内部を制御する部分である。

【 0 0 5 2 】

(パケット生成)

1 0 6 は送信パケットを生成する回路であり、ここでは制御部 1 0 5 から受け取った信号にしたがって、相手機器に送るべきコードにヘッダやデータ終了コードなどを付加して、図 2 のパケットの形にする。

【 0 0 5 3 】

(パラレル・シリアル変換)

1 0 7 はパラレル・シリアル変換回路である。

【 0 0 5 4 】

(1 0 ビットリパック)

1 0 8 は、5 ビットごとのキャラクタを、1 0 ビットごとのキャラクタに再構築する回路である。1 0 9 で 8 B 1 0 B によるデータの復号を行うために、キャラクタ同期された 5 ビットのデータを 2 つまとめて 1 0 ビットにする。

【 0 0 5 5 】

(デコーダ)

1 0 9 は 8 B 1 0 B 符号化の、復号を行う回路である。

【 0 0 5 6 】

(エンコーダ)

1 1 0 は 8 B 1 0 B 符号化を行う回路である。

【 0 0 5 7 】

(1 0 ビット/5 ビット分割)

1 1 1 は、1 0 ビットで出てきたコードを、5 ビット単位に分割する回路である。8 B 1 0 B での符号化結果は 1 0 ビットで、送信の単位が 5 ビットなので、F I F O に入れる前に、1 0 ビットを 5 ビット×2 キャラクタに分割しておく必要がある。

【 0 0 5 8 】

(タイミング図の説明)

図 3 は、上記装置を用いて本発明の方式を実現した場合に、制御パケットを受

け取ってから制御パケットかデータパケットを送信するまでのタイミングの図である。

【0059】

処理の流れ自体は従来例（図6）とまったく同じであるが、制御コードが短くなったことや、それに伴って、クロック300の周波数が、従来のクロック600より速くなったことによって、遅延時間311、312、314を、611、612、614に比べて短く出来、ピンポンの応答速度を速くすることができた。

【0060】

【発明の効果】

図7は、装置が相手側装置からの制御パケットを受信し終わってから自身が制御パケットを送信し終わるまでの遅延を、従来例と本発明で比べたものである。ただし、ビット同期は最初のビットからとることが出来、各処理も1クロックの間に完了するという、理想的な状態を仮定している。

【0061】

本発明の方法を用いると、

(A) 8B10Bを用いたデータの最短長である10ビットよりも短いビット数で制御コードを送ることができ、

(B) その2次効果として、内部の動作クロックを速くすることが出来る。

【0062】

図7によると、本発明により、時間短縮効果が現れているのは、「キャラクタ同期」・「制御コード付加」・「制御コード判別」の3箇所であるが、このうち「キャラクタ同期」・「制御コード付加」の時間短縮は上記(A)による直接の効果であり、「制御コード判別」の時間短縮は、上記(B)による2次効果である。以上のように、制御コードを伝送中の機器の応答速度が速くなっている。

【図面の簡単な説明】

【図1】

本発明の方法を実現するための機器のブロック図である。

【図 2】

本発明の方法を用いた時のパケットの構成図である。

【図 3】

本発明の方法を用いた時のタイミング図である。

【図 4】

従来の方法を実現する機器のブロック図である。

【図 5】

従来の方法を用いた時のパケットの構成図である。

【図 6】

従来の方法を用いた時のタイミング図である。

【図 7】

ピンポン反応遅延の比較表である。

【符号の説明】

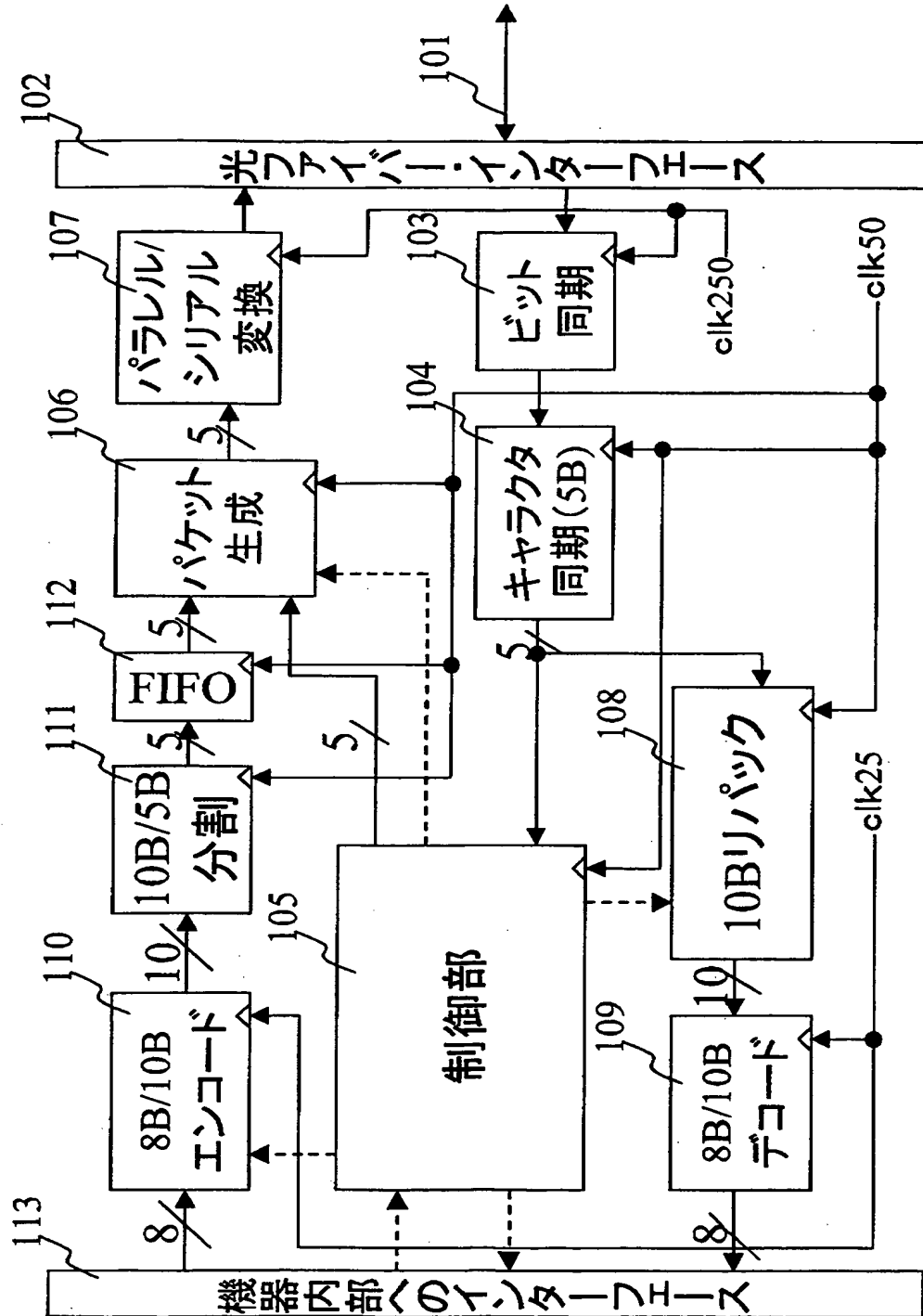
- 1 0 1 : 光ファイバー 1 本からなる伝送路
- 1 0 2 : 光ファイバーとのインターフェース
- 1 0 3 : ビット同期回路
- 1 0 4 : キャラクタ同期回路
- 1 0 5 : 制御部
- 1 0 6 : パケット生成回路
- 1 0 7 : パラレル・シリアル変換回路
- 1 0 8 : 1 0 ビット・リパック回路
- 1 0 9 : 8 B 1 0 B デコーダ
- 1 1 0 : 8 B 1 0 B エンコーダ
- 1 1 1 : 1 0 ビットのキャラクタを 5 ビットに分割する回路
- 1 1 2 : F I F O
- 1 1 3 : 機器内部とのインターフェース
- 3 0 0 : 内部の遅いクロック (c l k 2 5)
- 3 0 1 : ビット同期後の受信制御コードパケット
- 3 0 2 : キャラクタ同期後の受信制御コード

- 3 0 3 : 制御コードの判定結果
- 3 0 4 : 制御部からパケット生成回路に送られる送信制御コード
- 3 0 5 : パケット生成回路から出力される送信制御コードパケット
- 3 0 6 : パケット生成回路から出力される送信データコードパケット
- 3 1 1 : キャラクタ同期による遅延時間
- 3 1 2 : 制御コード判別による遅延時間
- 3 1 3 : パケット生成回路のヘッダ生成による遅延時間
- 3 1 4 : パケット生成回路の制御コード付加による遅延時間
- 4 0 1 : 光ファイバー 1 本からなる伝送路
- 4 0 2 : 光ファイバーとのインターフェース
- 4 0 3 : ビット同期回路
- 4 0 4 : キャラクタ同期回路
- 4 0 5 : 制御部
- 4 0 6 : パケット生成回路
- 4 0 7 : パラレル・シリアル変換回路
- 4 0 8 : 8 B 1 0 B デコーダ
- 4 0 9 : 8 B 1 0 B エンコーダ
- 4 1 0 : F I F O
- 4 1 1 : 機器内部とのインターフェース
- 6 0 0 : 内部の遅いクロック (c l k 5 0)
- 6 0 1 : ビット同期後の受信制御コードパケット
- 6 0 2 : キャラクタ同期後の受信制御コード
- 6 0 3 : 制御コードの判定結果
- 6 0 4 : 制御部からパケット生成回路に送られる送信制御コード
- 6 0 5 : パケット生成回路から出力される送信制御コードパケット
- 6 0 6 : パケット生成回路から出力される送信データコードパケット
- 6 1 1 : キャラクタ同期による遅延時間
- 6 1 2 : 制御コード判別による遅延時間
- 6 1 3 : パケット生成回路のヘッダ生成による遅延時間

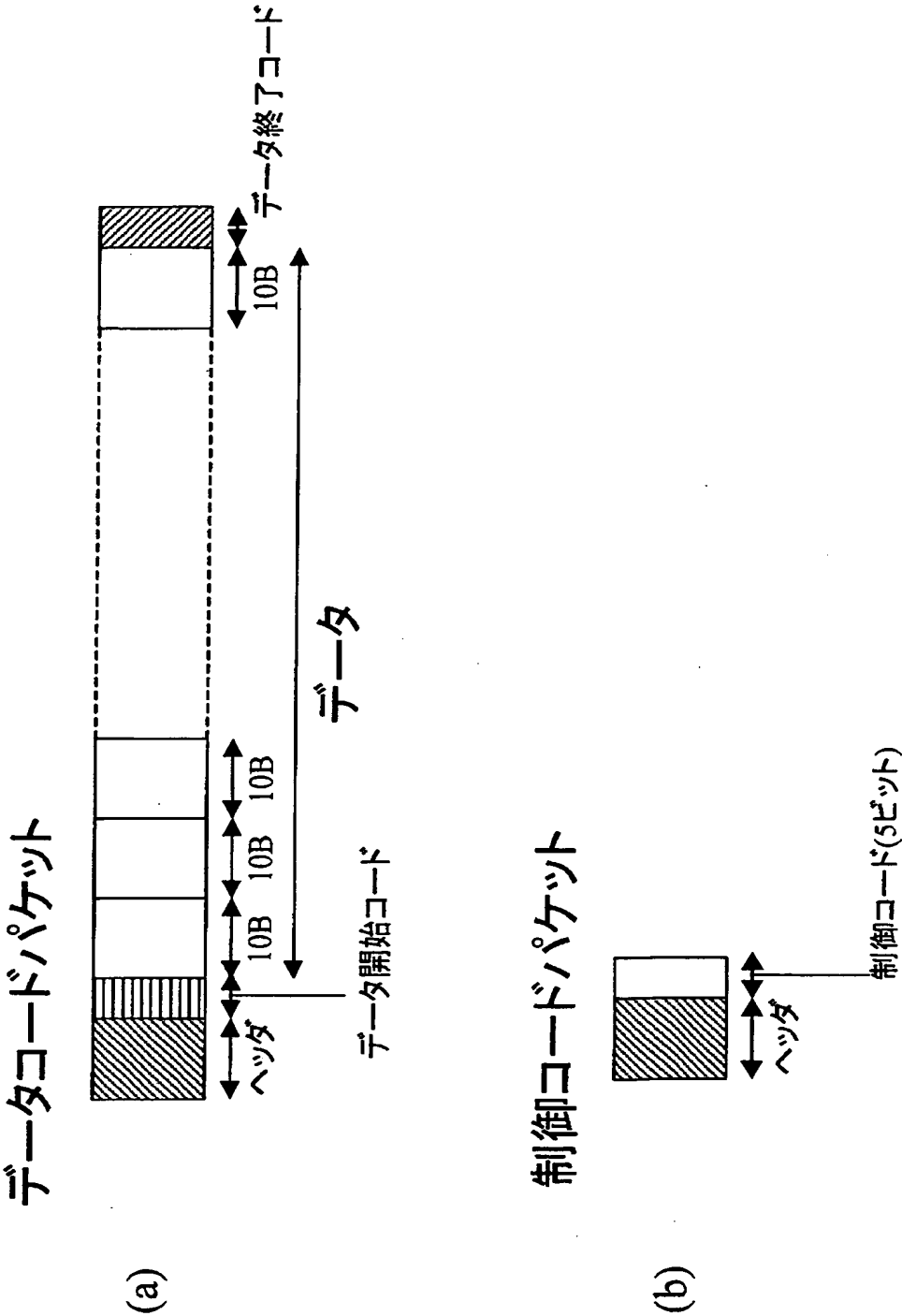
614 : パケット生成回路の制御コード付加による遅延時間

【書類名】 図面

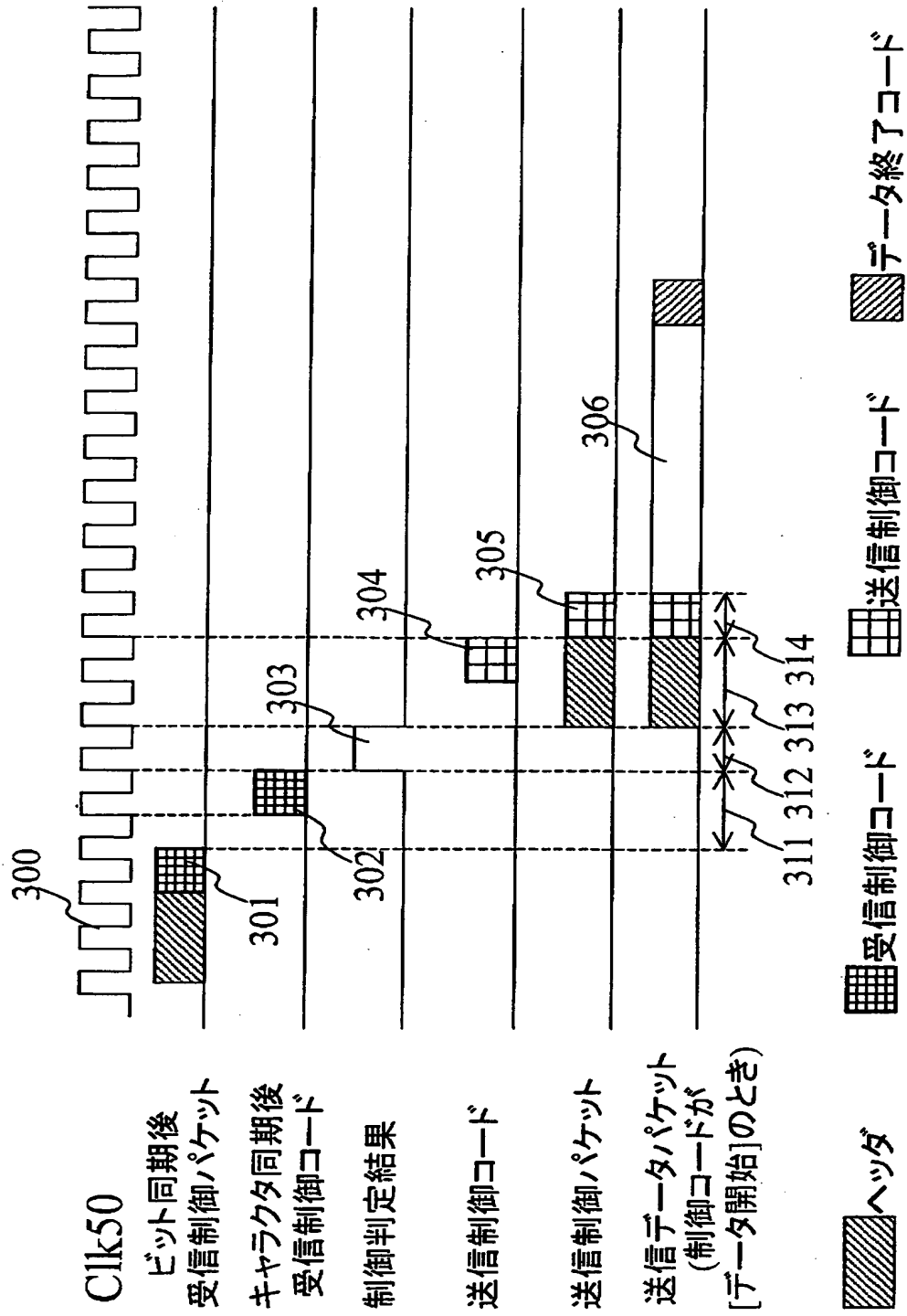
【図 1】



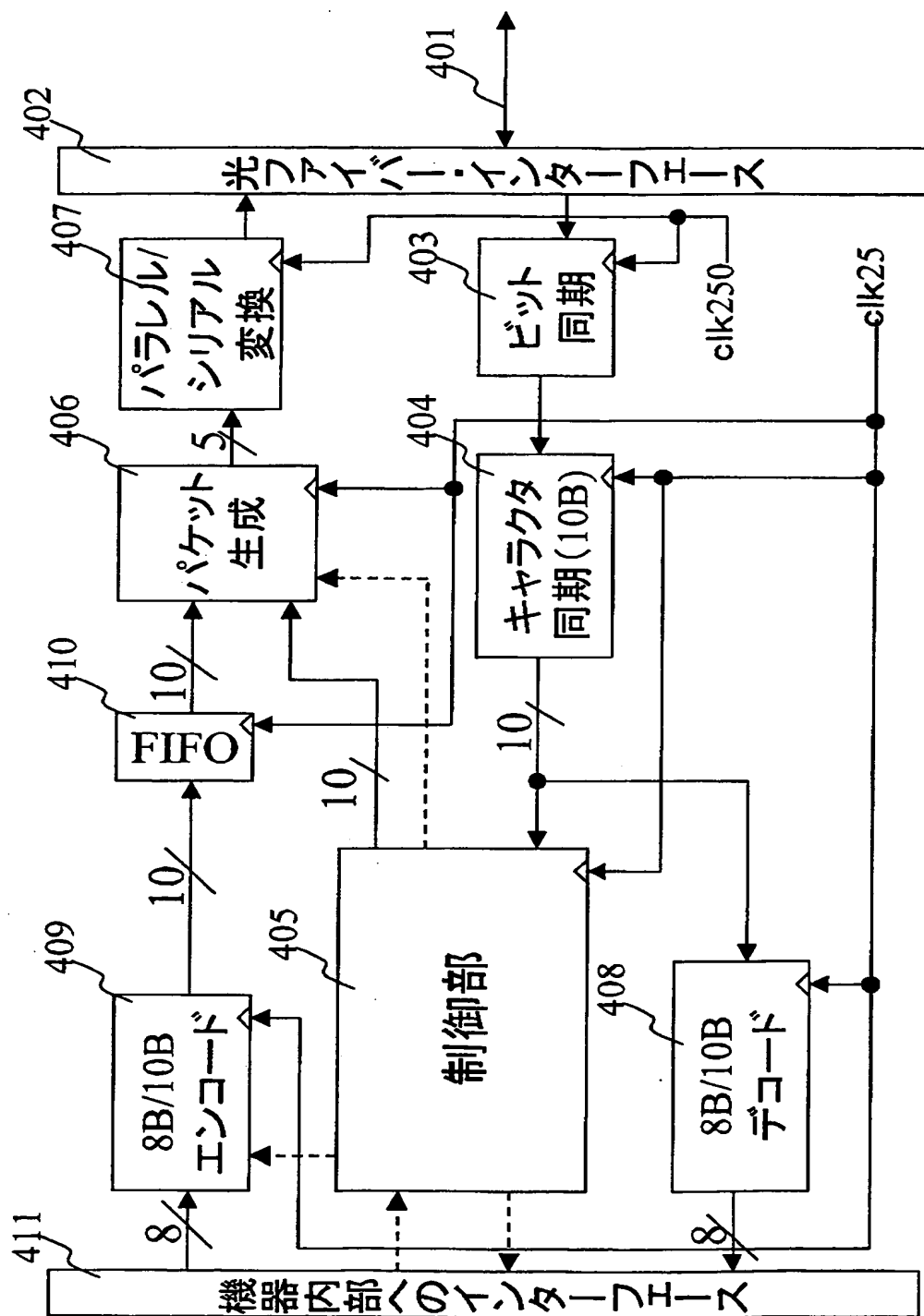
【図 2】



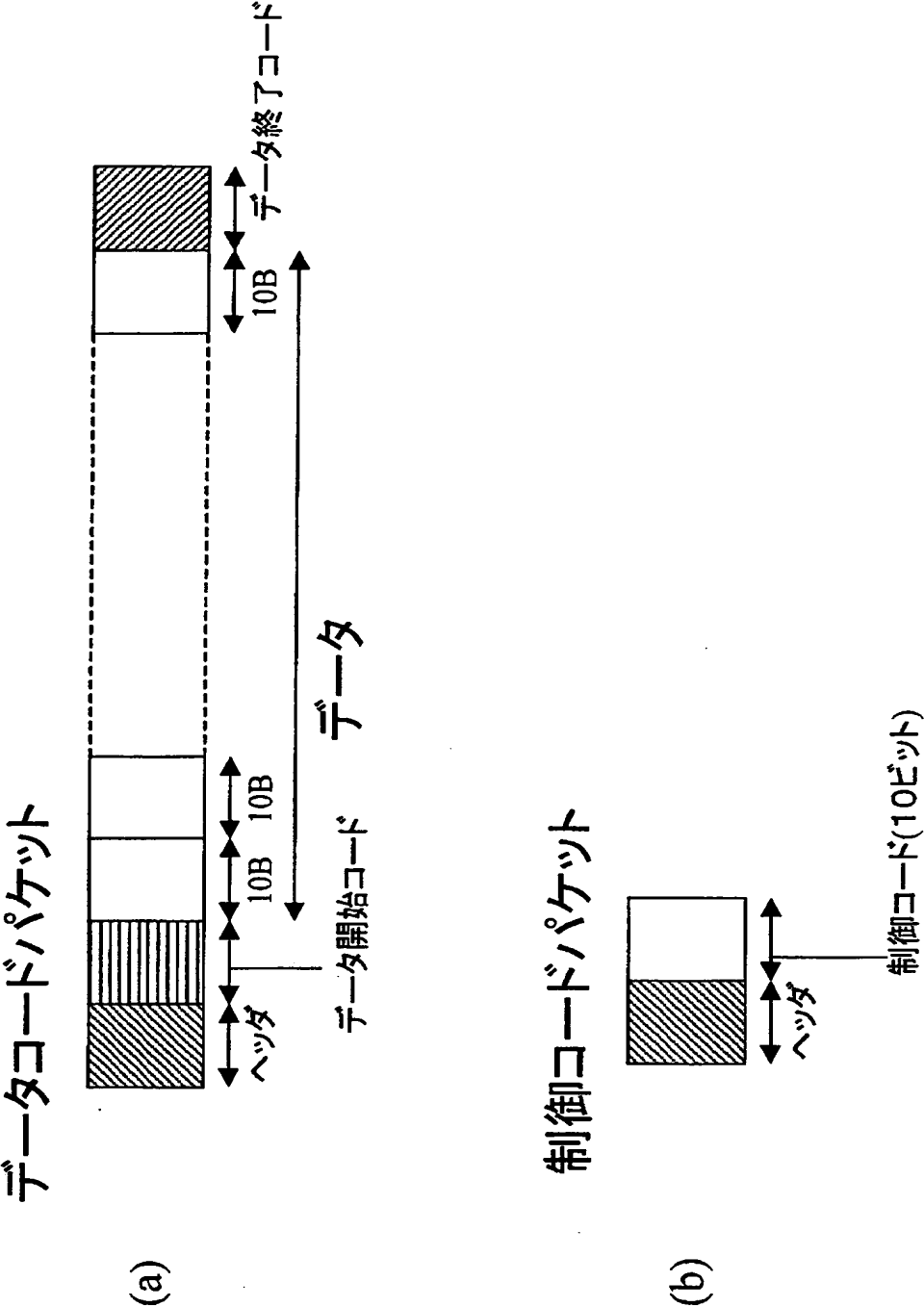
【図 3】



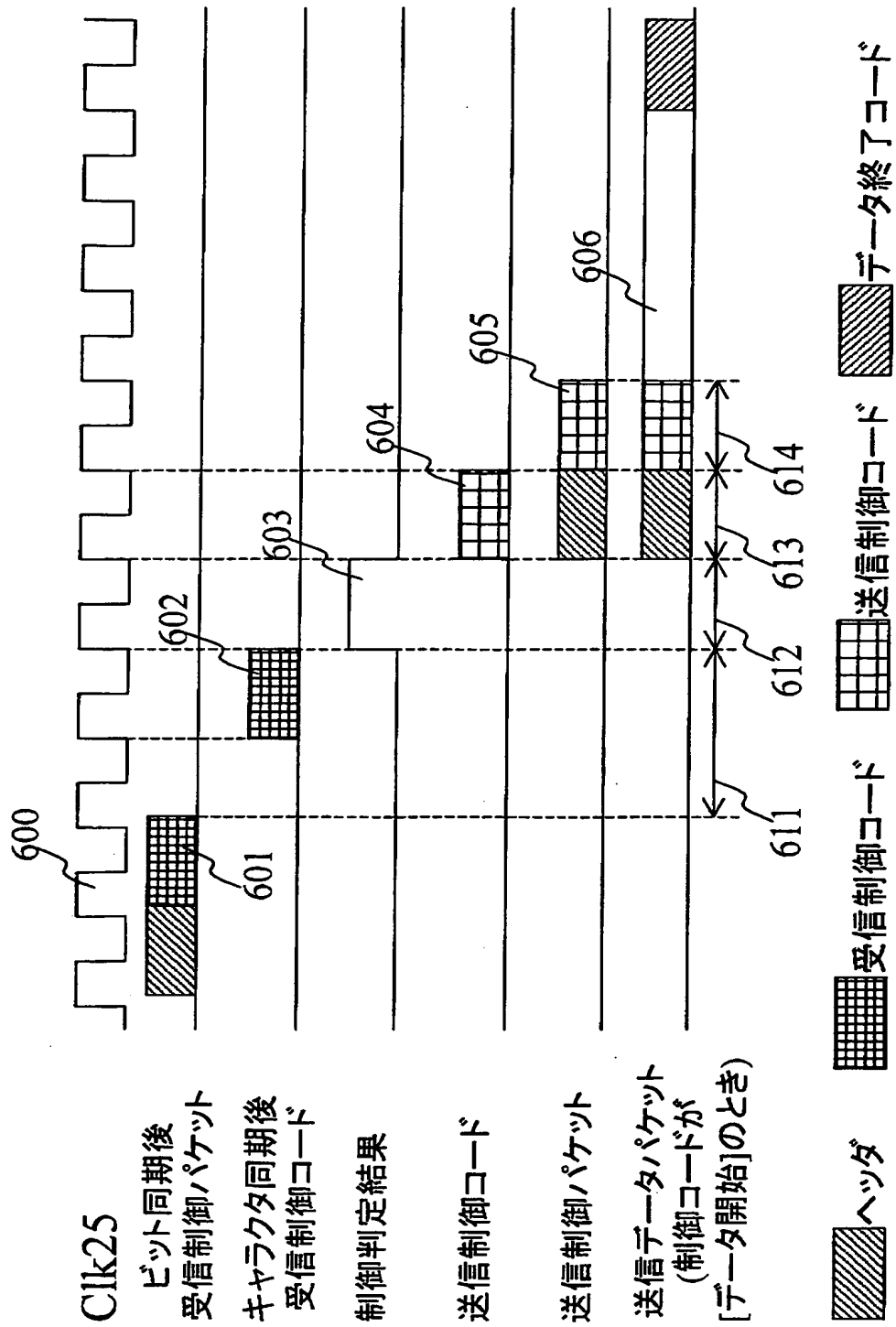
【図 4】



【図 5】



【図 6】



【図 7】

○制御コードパケットを受け取った時のピンポン反応遅延時間(単位:ビット)

	従来	本発明	備考
ビット同期	1 ビット未満	1 ビット未満	内部クロックとのずれ
キャラクタ同期 (A)	0~9 ビット +10 ビット (311)	0~4 ビット +5 ビット (611)	内部クロックとのずれ +制御コード長
制御コード判別(制御部) (B)	10 ビット (312)	5 ビット (612)	(遅い)内部クロックの1クロック分
ヘッダ生成(パケット生成)	10 ビット (313)	10 ビット (613)	ヘッダ長
制御コード付加(パケット生成)(A)	10 ビット (314)	5 ビット (614)	制御コード長
合計遅延時間	50+(0~10) ビット	35+(0~5) ビット	

【書類名】 要約書

【要約】

【課題】 制御コードと固定ビット長ごとに符号化されたデータコードを時分割で伝送するピンポン伝送方式において、従来の方法では、通常、少ないビット数で表すことが出来る制御コードにも上記固定ビット長の長さのビット列を割り当てており、その分、データ伝送や内部処理に時間の無駄が生じていた。

【解決手段】 本発明の伝送方法では、制御コードに、上記固定ビット長より短いビット長からなるビット列を割り当てることによって、上記課題を解決する。

また本発明の伝送装置では、制御コードはキャラクタ同期後そのまま制御部 105 に供給し、データコードは、同期を取ったキャラクタをデータコードの 1 キャラクタのビット数に再びまとめたおすキャラクタ再構築手段 108 を介して復号手段 109 に供給することにより上記課題を解決する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社